



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0040702
Application Number

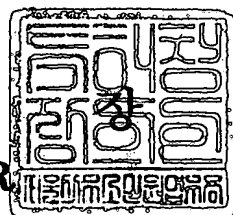
출원 년 월 일 : 2002년 07월 12일
Date of Application JUL 12, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0016
【제출일자】	2002.07.12
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	조일현
【성명의 영문표기】	CHO, Ihl Hyun
【주민등록번호】	690918-1634923
【우편번호】	302-734
【주소】	대전광역시 서구 둔산동 동지아파트 108-805
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	15 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 고전압 소자 및 저전압 소자를 동시에 제조하는 과정에서 고전압 소자의 게이트 산화막을 패터닝하기 위한 감광막을 용제를 이용한 습식 방식으로 제거하고, 게이트 전극으로 사용되는 폴리실리콘막을 진공을 가하지 않고 형성함으로써 게이트 산화막의 신뢰성을 증가시킬 수 있고, 오존 플라즈마에 의한 게이트 산화막의 손상을 방지할 수 있으며, 폴리실리콘막의 그레인 돌출에 의한 게이트 산화막 침투를 방지할 수 있어 게이트 산화막의 내압 특성을 향상시킬 수 있는 반도체 소자의 제조 방법이 제시된다.

【대표도】

도 3

【색인어】

고전압 소자, 저전압 소자, 감광막, 용제, 폴리실리콘, 내압 특성

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method of manufacturing a semiconductor device}

【도면의 간단한 설명】

도 1은 오존 플라즈마를 이용하여 감광막을 제거한 후 감광막 잔류물이 남는 것을 보여주는 SEM 사진.

도 2는 4번의 진공을 가하여 형성된 폴리실리콘막을 게이트 전극으로 사용한 경우의 게이트 전압에 따른 전류 분포를 나타낸 그래프.

도 3(a) 내지 도 3(d)은 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 4는 본 발명에 따른 용제를 이용한 습식 방식으로 감광막을 제거한 후의 SEM 사진.

도 5는 진공을 가하면서 형성된 폴리실리콘막을 이용하여 게이트 전극을 형성한 고저압 소자와 진공을 가하지 않고 형성된 폴리실리콘막을 이용하여 게이트 전극을 형성한 고전압 소자의 내압 특성을 나타낸 그래프.

<도면의 주요 부분에 대한 부호의 설명>

A : 고전압 소자 영역 B : 저전압 소자 영역

- 11 : 반도체 기판 12 : 소자 분리막
13 : 제 1 게이트 산화막 14 : 감광막
15 : 제 2 게이트 산화막 16 : 폴리실리콘막
17 : 스페이서 18 : 접합 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 고전압 소자 및 저전압 소자를 동시에 제조하는 과정에서 고전압 소자의 게이트 산화막을 패터닝하기 위한 감광막을 용제를 이용한 습식 방식으로 제거하고, 게이트 전극으로 사용되는 폴리실리콘막을 진공을 가하지 않고 형성함으로써 게이트 산화막의 신뢰성을 증가시킬 수 있고, 오존 플라즈마에 의한 게이트 산화막의 손상을 방지할 수 있으며, 폴리실리콘막의 그레인 돌출에 의한 게이트 산화막 침투를 방지할 수 있어 게이트 산화막의 내압 특성을 향상시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<13> 고전압에서 동작하는 고전압 소자와 저전압에서 동작하는 저전압 소자를 동시에 제조하는 반도체 소자는 고전압 소자의 게이트 산화막이 저전압 소자의 게이트 산화막에 비해 두껍게 형성된다. 이는 고전압에 대한 내압(breakdown voltage) 특성을 향상시키기 위해서이다.

- <14> 이러한 반도체 소자의 제조 방법은 반도체 기판 상부에 제 1 게이트 산화막을 두껍게 형성한 후 감광막 패턴을 이용하여 저전압 소자 영역의 제 1 게이트 산화막을 제거하고, 오존 플라즈마를 이용하여 감광막 패턴을 제거한 후 저전압 영역에 얇은 제 2 게이트 산화막을 형성한다. 그리고 게이트 전극을 형성하기 위한 폴리실리콘막을 형성하는데, 소정의 두께로 폴리실리콘막을 형성하는 동안 여러번의 진공을 가하여 폴리실리콘막을 형성한다. 예를들어 2000 Å의 두께로 폴리실리콘막을 형성하는 과정에서 4번의 진공을 가하게 되는데, 500 Å의 두께로 형성될 때마다 한번의 진공을 가하여 형성한다.
- <15> 그런데, 오존 플라즈마를 이용한 감광막의 제거 공정에서 감광막이 완전히 제거되지 않고 도 1에 도시한 바와 같이 잔류물이 남게 되어 게이트 산화막의 신뢰성을 저하시키고, 플라즈마에 의해 게이트 산화막이 손상되기도 한다.
- <16> 또한, 4번의 진공을 가하여 폴리실리콘막을 형성하는 방법은 도펀트 채널링 방지 특성이 우수하지만, 폴리실리콘막의 그레인 돌출(grain protrusion)이 게이트 산화막으로 침투하게 되어 게이트 산화막과 폴리실리콘 사이의 계면 거칠기가 증가하여 프리터널링 영역에서 누설 전류가 증가하게 된다. 이러한 현상은 도 2의 분포도를 통해 알 수 있는데, 도 2는 진공을 가하여 형성한 폴리실리콘막을 게이트 전극으로 이용한 경우의 게이트 전압에 따른 전류 분포를 나타낸 것이다. 약 25개의 다이를 측정한 결과로서 폴리실리콘의 그레인 돌출이 게이트 산화막에 침투된 프리터널링 영역에서 전류가 증가된다고 본다. 그리고, 이 방법으로 폴리실리콘막을 형성하면 그 만큼 공정 시간이 증가하게 된다.

【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명의 목적은 감광막의 제거 공정에서 감광막 잔류물이 남지 않도록 함으로써 게이트 산화막의 신뢰성을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는데 있다.
- <18> 본 발명의 다른 목적은 폴리실리콘의 그레인 돌출로 인한 내압 특성의 저하를 방지할 수 있는 반도체 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <19> 본 발명에 따른 반도체 소자의 제조 방법은 반도체 기판의 소정 영역에 소자 분리막을 형성하여 제 1 영역과 제 2 영역을 확정하는 단계와, 전체 구조 상부에 제 1 산화막을 형성한 후 감광막 패턴을 이용하여 상기 제 2 영역의 제 1 산화막을 제거하는 단계와, 상기 감광막 패턴을 용제를 이용하여 제거하는 단계와, 산화 공정을 실시하여 상기 제 2 영역의 반도체 기판 상부에 제 2 산화막을 형성하는 단계와, 전체 구조 상부에 폴리실리콘막을 형성한 후 패터닝하여 상기 제 1 및 제 2 영역에 각각 게이트 전극을 형성하는 단계와, 불순물 이온 주입 공정을 실시하여 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.
- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가

완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.

<21> 도 3(a) 내지 도 3(d)는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

<22> 도 3(a)를 참조하면, 반도체 기판(11)의 소정 영역에 소자 분리막(12)을 형성하여 고전압 소자 영역(A)과 저전압 소자 영역(B)을 확정한 후 이온 주입 공정을 실시하여 웰 영역을 형성한다. $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 의 혼합 용액과 희석된 HF 용액을 이용하여 반도체 기판(11)을 전세정(precleaning)한다. 전체 구조 상부에 두꺼운 제 1 산화막(13)을 형성하는데, 퍼니스에서 산소와 수소의 불꽃 반응(pyrolysis)에 의해 생성된 기화된 H_2O 를 이용하여 반도체 기판(11)을 산화시켜 형성한다. 제 1 산화막(13) 상부에 i-line계의 감광막(14)을 약 $1\mu\text{m}$ 의 두께로 형성한다. 저전압 소자 영역(B)이 노출되도록 감광막(14)을 패터닝한 후 패터닝된 감광막(14)을 마스크로 저전압 소자 영역(B)의 반도체 기판(11) 상부에 형성된 제 1 산화막(13)을 습식 식각하여 제거한다.

<23> 도 3(b)를 참조하면, 고전압 소자 영역(A)에 형성된 감광막(14)을 용제를 이용하여 제거한다. 용제로는 에틸셀룰루브 아세테이트(ethylcellulose acetate; ECA), 메틸아민 케톤(methylamyl ketone; MAK), 에틸 피루베이트(ethyl pyruvate; EP), 에틸 락테이트(ethyl lactate; EL), 3-메틸메톡시 프로피오네이트(3-methylmethoxy propionate; MMP), 프로필렌글리코모노메틸 에테르(propyleneglycomonomethyl ether; PGME), 프로필렌글리콜-모노메틸에테르 아세테이트(propyleneglycol-monomethylether acetate; PGMEA), 에톡시에틸 프로피오네이트(ethoxyethyl propionate; EEP)등을 사용한다.

- <24> 도 3(c)를 참조하면, 산화 공정을 실시하여 저전압 소자 영역(B)의 반도체 기판(11) 상부에 얇은 두께의 제 2 산화막(15)을 형성한다. 이때, 제 1 산화막(13)도 소정 두께로 성장하게 된다. 전체 구조 상부에 폴리실리콘막(16)을 형성하는데, 폴리실리콘막(16)은 진공을 가하지 않고 형성하며, SiH_4 가스 또는 Si_2H_6 가스를 이용하여 $580\sim 630^\circ\text{C}$ 의 온도에서 형성한다. 폴리실리콘막(16)을 형성한 후 퍼니스 또는 급속 열처리 장비에서 $800\sim 1000^\circ\text{C}$ 의 온도로 열처리 공정을 실시한다.
- <25> 도 3(d)를 참조하면, 고전압 소자 영역(A)의 폴리실리콘막(16) 및 제 1 산화막(13)과 저전압 소자 영역(B)의 폴리실리콘막(16) 및 제 2 산화막(15)의 소정 영역을 식각하여 제 1 및 제 2 게이트 전극을 형성한다. 저농도 불순물 이온 주입 공정을 실시하고, 게이트 전극 측벽에 스페이서(17)을 형성한 후 고농도 불순물 이온 주입 공정을 실시하여 반도체 기판(11)상에 접합 영역(18)을 형성한다.
- <26> 상기와 같은 공정으로 반도체 소자를 제조할 경우 습식 용제를 이용하여 감광막을 제거함으로써 도 4에 나타낸 바와 같이 공정 과정에서 발생된 파티클이 남지만 감광막 잔류물은 남아있지 않게 된다.
- <27> 또한, 도 5는 진공을 가하면서 형성된 폴리실리콘막을 이용하여 게이트 전극을 형성한 고저압 소자(C)와 진공을 가하지 않고 형성된 폴리실리콘막을 이용하여 게이트 전극을 형성한 고전압 소자(D)의 내압 특성을 나타낸 것이다. 도시된 바와 C의 경우 8V 또

는 -8V의 고전압 내압 특성을 갖지만, D의 경우 0V 근처에서의 내압 특성을 갖는다. 따라서, C의 경우가 D의 경우보다 내압 특성이 우수함을 알 수 있다.

【발명의 효과】

<28> 상술한 바와 같이 본 발명에 의하면 용제를 이용하여 습식 방식으로 감광막을 제거함으로써 감광막 잔류물이 남지 않기 때문에 게이트 산화막의 신뢰성을 증가시킬 수 있고, 오존 플라즈마에 의한 게이트 산화막의 손상을 방지할 수 있다. 또한, 진공을 가하지 않고 폴리실리콘막을 형성함으로써 폴리실리콘막의 그레인 돌출에 의한 게이트 산화막 침투를 방지할 수 있어 게이트 산화막의 내압 특성을 향상시킬 수 있고, 공정 시간을 단축시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 소정 영역에 소자 분리막을 형성하여 제 1 영역과 제 2 영역을 확정하는 단계;

전체 구조 상부에 제 1 산화막을 형성한 후 감광막 패턴을 이용하여 상기 제 2 영역의 제 1 산화막을 제거하는 단계;

상기 감광막 패턴을 용제를 이용하여 제거하는 단계;

산화 공정을 실시하여 상기 제 2 영역의 반도체 기판 상부에 제 2 산화막을 형성하는 단계;

전체 구조 상부에 폴리실리콘막을 형성한 후 패터닝하여 상기 제 1 및 제 2 영역에 각각 게이트 전극을 형성하는 단계; 및

불순물 이온 주입 공정을 실시하여 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 제 1 산화막은 상기 제 2 산화막보다 두껍게 형성된 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 감광막은 i-line계 감광 물질을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

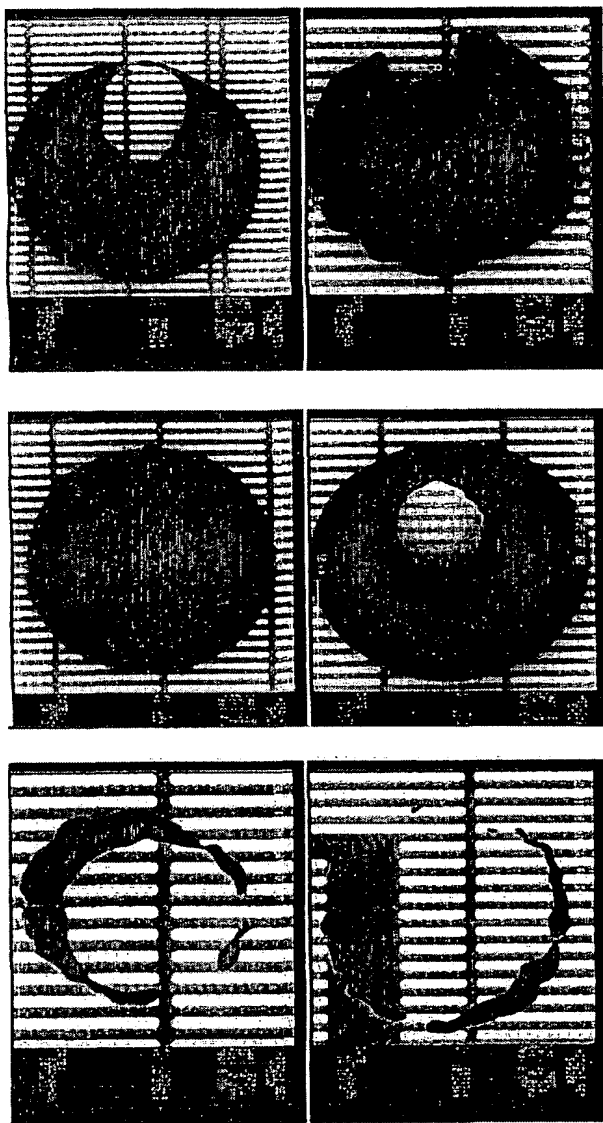
제 1 항에 있어서, 상기 용제는 에틸셀룰루브 아세테이트(ECA), 메틸아민 케톤(MAK), 에틸 피루베이트(EP), 에틸 락테이트(EL), 3-메틸메톡시 프로피오네이트(MMP), 프로필렌글리코모노메틸 에테르(PGME), 프로필렌글리콜-모노메틸에테르 아세테이트(PGMEA), 에톡시에틸 프로피오네이트(EEP)중 어느 하나인 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

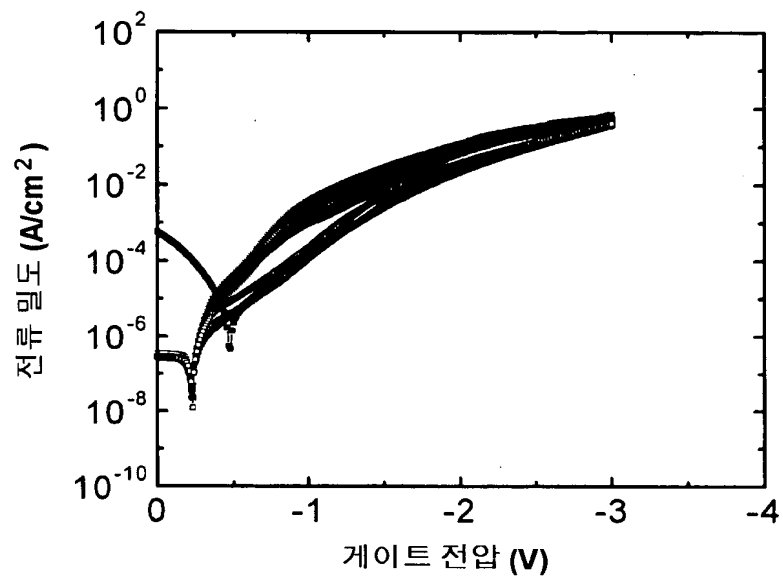
제 1 항에 있어서, 상기 폴리실리콘막은 진공을 가하지 않고 형성하며, SiH_4 가스 또는 Si_2H_6 가스를 이용하여 580 내지 630℃의 온도에서 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

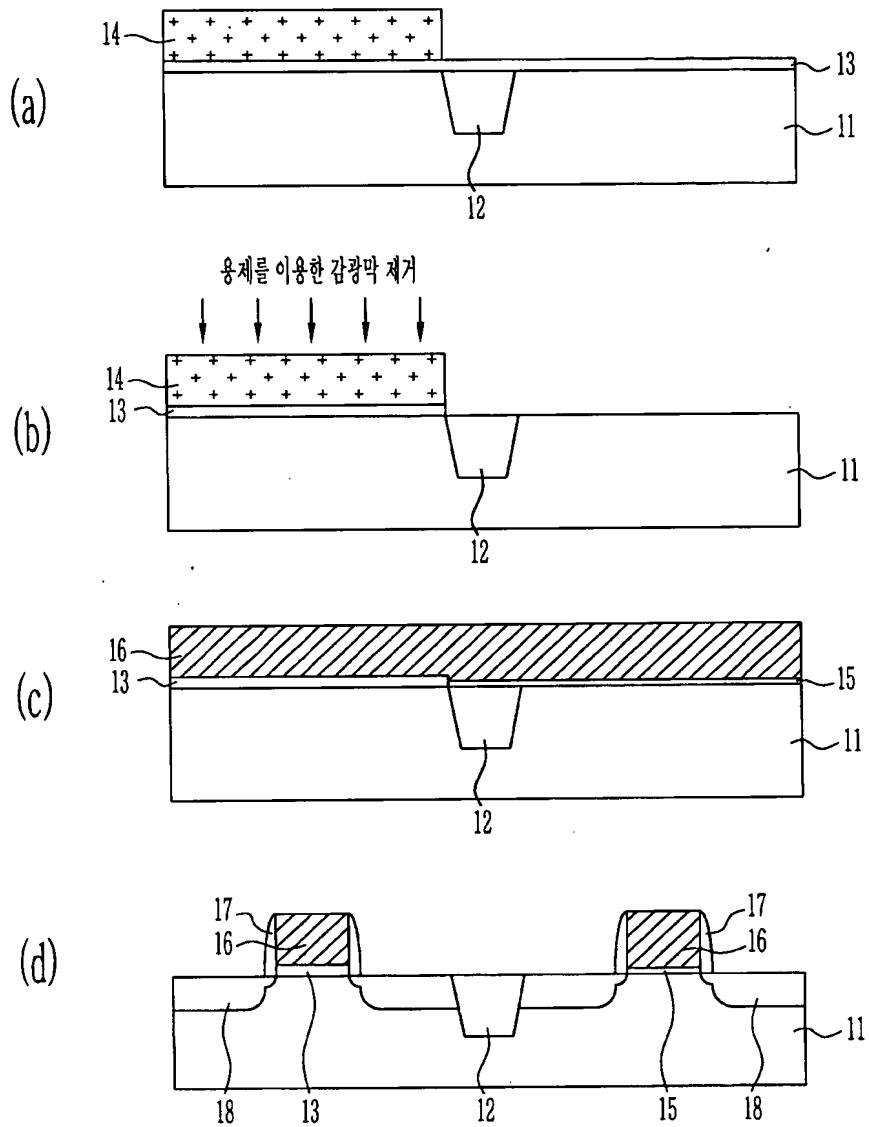
【도 1】



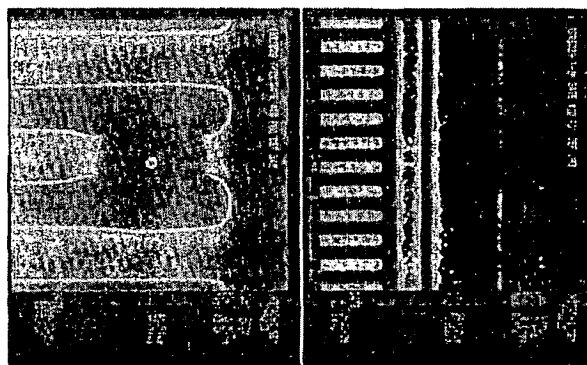
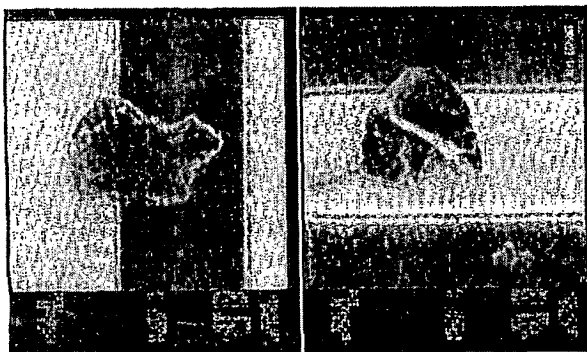
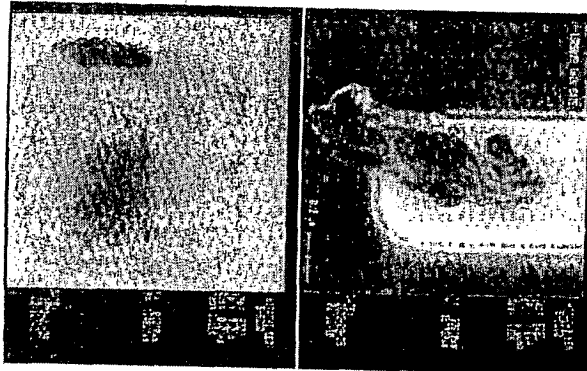
【도 2】



【도 3】



【도 4】



【도 5】

